

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takashi YAMADA et al.

GAU: 2812

SERIAL NO: 09/995,594

EXAMINER:

FILED: JC132
November 29, 2001

APR 10 2002

FOR: SEMICONDUCTOR CHIP HAVING MULTIPLE FUNCTIONAL BLOCKS INTEGRATED IN A SINGLE CHIP AND
METHOD FOR FABRICATING THE SAME

REQUEST FOR PRIORITY



PATENT & TRADEMARK OFFICE
ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of **35 U.S.C. §120**.
- Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of **35 U.S.C. §119(e)**.
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

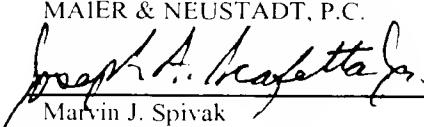
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2001-298533	September 27, 2001

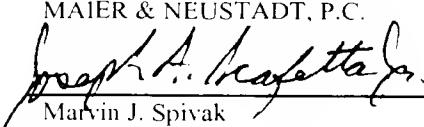
Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 - are submitted herewith
 - will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak
Registration No. 24,913


Joseph A. Scafetta, Jr.
Registration No. 26,803



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
REMMN 10/98



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:



9月27日

出願番号
Application Number:

特願2001-298533

出願人
Applicant(s):

株式会社東芝

2001年11月26日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造

出証番号 出証特2001-3103496

【書類名】 特許願

【整理番号】 46B016311

【提出日】 平成13年 9月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 24

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝
横浜事業所内

【氏名】 山田 敬

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝
横浜事業所内

【氏名】 永野 元

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝
横浜事業所内

【氏名】 水島 一郎

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝
横浜事業所内

【氏名】 佐藤 力

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝
横浜事業所内

【氏名】 親松 尚人

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝

横浜事業所内

【氏名】 新田 伸一

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 支持基板と、

前記支持基板上にバルク結晶成長させたバルク成長層を有し、前記バルク成長層に素子が形成される第1の素子形成面を有するバルク素子領域と、

前記支持基板上に、埋め込み絶縁膜と当該埋め込み絶縁膜上のSOI層とを有し、前記SOI層に素子が形成される第2の素子形成面を有するSOI素子領域と、

前記バルク素子領域とSOI素子領域との境界に位置する境界層とを備え、前記第1の素子形成面と、第2の素子形成面は、ほぼ同じ高さに位置することを特徴とする半導体装置。

【請求項2】 前記バルク成長層はシリコン層であり、前記境界層は、前記支持基板に達する深さのポリシリコンまたはシリコンゲルマニウムであることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記バルク素子領域は、第1の素子分離を有し、前記SOI素子領域は、第2の素子分離を有し、前記第1および第2の素子分離の深さは等しいことを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 前記第1および第2の素子分離の深さは、前記埋め込み絶縁膜に達する深さであることを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記バルク素子領域は、p型半導体領域とn型半導体領域の接合面を有し、前記接合面は、前記支持基板とバルク成長層の界面より上方に位置することを特徴とする請求項4に記載の半導体装置。

【請求項6】 前記バルク素子領域は、第1の素子分離を有し、前記SOI素子領域は、第2の素子分離を有し、さらに、前記境界層として第3の素子分離を備え、前記第1、第2、第3の素子分離の深さは、ほぼ等しいことを特徴とする請求項1に記載の半導体装置。

【請求項7】 前記第1、第2、第3の素子分離の深さは、前記埋め込み絶

縁膜よりも深いことを特徴とする請求項6に記載の半導体装置。

【請求項8】 前記第3の素子分離は、その側面で前記埋め込み絶縁膜に接することを特徴とする請求項6または7に記載の半導体装置。

【請求項9】 前記バルク素子領域は、前記素子の下方にp-n接合面を有し、このp-n接合面は、前記支持基板とバルク成長層の界面より下方に位置することを特徴とする請求項7に記載の半導体装置。

【請求項10】 前記バルク素子領域は、第1の素子分離を有し、前記S-O-I素子領域は、第2の素子分離を有し、さらに、前記境界層として第3の素子分離を備え、前記第1および第3の素子分離はほぼ同じ深さであり、前記第2の素子分離は、前記第1および第3の素子分離よりも浅いことを特徴とする請求項1に記載の半導体装置。

【請求項11】 前記バルク素子領域は、第1の素子分離を有し、前記S-O-I素子領域は、前記第1の素子分離よりも浅い第2の素子分離を有し、前記境界層は、前記第1または第2の素子分離のうち、最も境界側の素子分離で兼用することを特徴とする請求項1に記載の半導体装置。

【請求項12】 前記境界層は、前記第2の素子分離が兼用し、前記境界層は、その底面で前記埋め込み絶縁膜と接することを特徴とする請求項11に記載の半導体装置。

【請求項13】 前記バルク素子領域内の、前記境界近傍に、ダミートレンチの埋め込み層を有することを特徴とする請求項1に記載の半導体装置。

【請求項14】 前記バルク素子領域は、トレンチキャパシタを有するDRAMセルを有し、前記ダミートレンチ埋め込み層は、ダミーキャパシタであることを特徴とする請求項13に記載の半導体装置。

【請求項15】 支持基板と、前記支持基板上の埋め込み絶縁膜と、前記埋め込み絶縁膜上のシリコン層とから構成されるS-O-I基板を準備するステップと、

前記S-O-I基板の所定の箇所で、前記シリコン層と、埋め込み絶縁膜の一部を除去するステップと、

前記除去により露出したシリコン層の側壁を覆う側壁保護膜を形成するステップと、

前記所定の箇所で前記支持基板の表面を露出させ、露出した面から前記シリコン層の表面に一致する高さのバルク成長層を形成するステップと、

前記バルク成長層と前記S O I 基板に、同じ深さの素子分離を一括して形成するステップと、

前記バルク成長層と前記S O I 基板に素子を形成するステップと
を含むことを特徴とする半導体装置の製造方法。

【請求項16】 前記支持基板の表面を露出するステップは、ウエット処理
により行うこととする請求項15に記載の半導体装置の製造方法。

【請求項17】 前記側壁保護膜を除去するステップをさらに含み、

前記素子形成ステップは、素子の形成と同時に、前記側壁保護膜を除去した箇所に半導体ゲート材料を充填することを特徴とする請求項15に記載の半導体装置の製造方法。

【請求項18】 前記半導体ゲート材料の充填ステップは、ポリシリコンまたはシリコングルマニウム(SiGe)を充填することを特徴とする請求項17に記載の半導体装置の製造方法。

【請求項19】 前記素子分離を形成するステップは、前記バルク成長層とS O I 基板の境界部での素子分離の形成を含み、前記境界部での素子分離と同時に、前記側壁保護膜を除去することを特徴とする請求項15に記載の半導体装置の製造方法。

【請求項20】 支持基板と、前記支持基板上の埋め込み絶縁膜と、前記埋め込み絶縁膜上のシリコン層とから構成されるS O I 基板を準備するステップと、

前記S O I 基板の第1の位置で前記シリコン層を除去し、除去した位置に第1の素子分離絶縁膜を形成するステップと、

前記第1の素子分離絶縁膜で前記シリコン層の側壁を覆ったまま、第2の位置で、前記支持基板の表面を露出するステップと、

前記露出させた面から前記シリコン層の表面に一致する高さのバルク成長層を

形成するステップと、

前記バルク成長層に、第1の素子分離絶縁膜よりも深い第2の素子分離絶縁膜を形成するステップと、

前記バルク成長層と前記シリコン層に素子を形成するステップと、
を含むこと特徴とする半導体装置の製造方法。

【請求項21】 前記第1の素子分離絶縁膜形成ステップは、前記バルク成長層とSIO基板の境界に該当する位置への素子分離絶縁膜の形成を含むことを特徴とする請求項20に記載の半導体装置の製造方法。

【請求項22】 前記第1の素子分離絶縁膜形成ステップは、前記支持基板の表面を露出する第2の位置全体を覆う素子分離絶縁膜の形成を含むことを特徴とする請求項20に記載の半導体装置の製造方法。

【請求項23】 支持基板と、前記支持基板上の埋め込み絶縁膜と、前記埋め込み絶縁膜上のシリコン層とから構成されるSIO基板を準備するステップと、

前記SIO基板の所定の箇所で、前記シリコン層と、埋め込み絶縁膜を除去し、前記支持基板の表面を露出するステップと、

前記露出した支持基板の表面から、前記シリコン層の表面に一致する高さのバルク成長層を形成するステップと、

前記バルク成長層の境界近傍に、前記埋め込み絶縁膜よりも深いダミートレンチを形成するステップと、

前記バルク成長層と、前記SIO基板の所定の位置に素子を形成するステップと

を含むことを特徴とする半導体装置の製造方法。

【請求項24】 前記ダミートレンチの形成ステップは、ダミートレンチの形成と同時に前記バルク成長層の所定の位置にトレンチキャパシタを形成することを特徴とする請求項23に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置とその製造方法に関し、特に、S O I (Silicon On Insulator) 基板領域に形成される回路素子と、バルク (Bulk) 状基板領域に形成される回路素子とを同一チップ上に搭載した半導体装置、およびその製造方法に関する。

【0002】

【従来の技術】

1つのMOSFETと1つのキャパシタとから構成される1T1C（1トランジスタ1キャパシタ）型のメモリセルを有するDRAMは、高集積化に適した安価な大容量メモリとして、広範な用途に用いられている。特に近年、このようなDRAMとロジック回路とを同一の半導体チップ上に集積して、システム性能を向上するシステムLSIへの要求が高まっている。

【0003】

一方、MOSFETを中心に構成するロジック回路の高性能化を図るため、従来のシリコンバルク基板に代えて、S O I 基板の表面側薄膜シリコン層（以下、「S O I 層」と称する）にトランジスタを形成したS O I M O S F E TなどのS O I 素子が脚光を浴び、すでに高性能ロジック用途に製品化が始まっている。このような流れの中で、S O I 素子で構成される高性能ロジック回路（以下、「S O I ロジック」と称する）の性能をさらに引き出すべく、DRAMなどのメモリをS O I ロジックとともに搭載したシステムLSIあるいはシステムオンチップの開発が急務となっている。

【0004】

しかし、S O I 基板上に、高性能ロジックを構成する素子（たとえばS O I M O S F E T）と同じ構造でDRAMを形成することは、以下の理由で困難である。

【0005】

まず、S O I M O S F E Tは一般的な使用において、チャネルが形成されるボディ領域の電位がフローティングとなるため、回路動作に伴うリーク電流やしきい値変動を生じる。たとえば、パストランジスタとして用いた場合、ゲート電圧がオフとなる条件下であっても、ソース・ドレイン電圧の動作条件によっては、

寄生MOSFET電流や寄生バイポーラ電流といったリーク電流が流れることがある。このため、リテンションの問題から、DRAMのセルトランジスタのようにリーク電流スペックの厳しい回路に、SOIMOSFETを適用することは不向きである。

【0006】

また、基板浮遊効果により、トランジスタの動作履歴を含む動作条件の違いに応じて、しきい電圧にばらつきが生じる。このため、SOIMOSFETをDRAMのセンスアンプ回路に用いる場合、ペアトランジスタ間のしきい電圧のばらつきを増幅してしまい、センスマージンを劣化させるため不向きである。

【0007】

このような基板浮遊を解決する方法として、従来のMOSFETパターンに対して、ボディ部からの引出し素子領域とコンタクトを設けてボディ電位を固定する方法も提案されている。しかし、この方法では、セルやセンスアンプ部の面積が大幅に増大し、DRAMの最大の特長である高集積性を損なうという問題がある。

【0008】

そこで、SOI基板に一部バルク領域を設け、バルク領域内に、基板浮遊効果と相性の悪いDRAMなどの回路を形成することが考えられる。実際、これを実現するために、SOI基板中にバルク領域を備えた基板（以下「SOI／バルク基板」という）の形成方法が種々提案されている。

【0009】

第1の方法として、マスクパターンを用いたSIMOX (Separation by Implanted Oxygen) 法により、Si基板の所望の位置に酸素注入を行って、SOI基板中にバルク領域を形成する方法（特開平10-303385号公報、およびRobert Hannon, et al. 2000 Symposium on VLSI Technology of Technical Papers, pp66-67）がある。

【0010】

第2の方法は、絶縁膜をパターニングしたシリコン(Si)基板上に別のシリコン(Si)基板を張り合わせることによって、SOI領域とバルク領域を混在

させる方法である（特開平8-316431号公報）。

【0011】

第3の方法は、SOI基板の所定の位置で、表面のSOI層と、その下方の埋め込み絶縁膜とを部分的にエッチング除去して支持基板を露出し、SOI基板内にバルク領域を作製する方法（特開平7-106434号公報、特開平11-238860号公報、および特開2000-91534号公報）である。

【0012】

第4の方法は、第3の方法による部分エッチング除去で生じたSOI領域とバルク領域の段差を解消するために、バルク領域にSiエピタキシャル成長層を形成する方法である。この方法では、エピタキシャル成長層をSOI領域上のマスク材よりも高い位置まで形成し、その後、マスク材をストップにしてエピタキシャル成長層を研磨し、平坦化する（特開2000-243944号公報）。

【0013】

これらのSOI／バルク基板形成方法は、いずれも以下の問題点を有する。

【0014】

第1の方法では、酸素イオン注入によるダメージにより、SOI層の結晶性がよくない。また、酸素イオン注入による埋め込み酸化膜形成時に体積膨張による応力が生じ、SOI領域とバルク領域の境界部に結晶欠陥が発生する。

【0015】

第2の方法では、Si基板同士の張り合わせ面で、汚染物や結晶方位のずれなどにより、結晶性の劣化や電気的特性の劣化につながる界面準位の形成が起こる。このため、バルク領域で必要とされるウェル接合や、トレンチキャパシタなどの深い素子で特性劣化を誘発する。

【0016】

第3の方法では、SOI領域とバルク領域の間に、SOI層と埋め込み絶縁膜の厚さ分に相当する段差が発生し、リソグラフィ工程のフォーカスマージンの確保が困難になる。

【0017】

第4の方法では、バルク領域を構成するエピタキシャル成長層の側面が、SO

I基板との境界と接する部分で結晶が劣化するという問題がある。これは、露出したSOI層側面からもエピタキシャル層が成長することに起因する。エッチング面であるSOI層側壁からのエピタキシャル層はもともと結晶性が悪いえに、隣接する支持基板から成長した結晶と接触する領域で、結晶方位のミスマッチが生じ、結晶性がさらに悪化するためである。

【0018】

また、段差解消のために形成したエピタキシャル成長層の表面を研磨平坦化するとはいって、あらかじめSOI層上に形成したマスク材をストップにして研磨する。このため、結局はエピタキシャル成長層表面の高さが、マスク材の厚さ分だけ、SOI層表面の高さよりも高くなる。また、成長層領域が広い場合は、研磨により中央部分が窪むディシングが生じる。このような表面位置の不均衡は、後工程で段差として残り、製造工程に悪影響を及ぼす。

【0019】

【発明が解決しようとする課題】

上述した第4の方法で、領域間の境界における結晶劣化を防止するために、エッチングにより露出したSOI層の側壁をSiN等の側壁防止膜で保護した上で、エピタキシャル成長層を形成する方法が考えられる。

【0020】

しかし、エピタキシャル成長によるバルク領域とSOI基板領域の境界にSiN側壁防止膜が存在すると、境界の近傍数 μm の範囲にわたって、SOI層およびエピタキシャル成長層の双方にかなりの応力が発生し、半導体の移動度が劣化する。移動度が劣化した場所に素子を形成すると、その素子の特性も劣化する。

【0021】

応力の影響を避けるためには、SOI基板領域とバルク領域との間に十分なマージンスペースを確保し、境界付近に素子を形成しないようにする必要があるが、これではチップ面積の増大が避けられない。

【0022】

また、エピタキシャル成長層とSOI基板表面との段差をなくし、均一な高さに素子が形成できることが望まれる。

【0023】

そこで本発明は、第4の方法をさらに改良し、バルク基板領域と、S O I 基板領域の間に発生する応力を解消し、かつチップ面積の増大に影響せず、均一な高さに素子が形成される改良された半導体装置と、その製造方法を提供する。

【0024】

【課題を解決するための手段】

本発明の第1の側面として、半導体装置は、支持基板と、支持基板上に形成されたバルク成長層に素子が形成されるバルク素子領域と、支持基板上に埋め込み絶縁膜および埋め込み絶縁膜上のS O I 層を有して前記S O I 層に素子が形成されるS O I 素子領域と、これらのバルク素子領域とS O I 素子領域の境界に位置する境界層を有する。バルク素子領域に素子が形成される第1の素子形成面と、S O I 素子領域内に素子が形成される第2の素子形成面は、ほぼ同じ高さに位置する。

【0025】

バルク成長層がシリコンの場合に、境界層はたとえばポリシリコンや、シリコングルマニウムなどのシリコン系ゲート材料である。

【0026】

半導体装置はまた、バルク素子領域内に位置する第1の素子分離と、S O I 素子領域内に位置する第2の素子分離と、境界に位置する第3の素子分離を有し、第3の素子分離が境界層となる。この場合、第1～第3の素子分離は、ほぼ同じ深さで、S O I 素子領域の埋め込み絶縁膜よりも深いことが好ましい。

【0027】

半導体装置また、バルク素子領域内の第1の素子分離と、S O I 素子領域内にあり、第1の素子分離よりも浅い第2の素子分離のいずれかのうち、最も境界に近い素子分離が、境界層を兼用してもよい。たとえば、第2の素子分離が境界層を兼ねる場合は、境界層はその底面で埋め込み絶縁膜に接する。

【0028】

半導体装置はまた、バルク素子領域内部の境界近傍に、ダミーの埋め込み層を有してもよい。

【0029】

このような構成により、半導体装置の素子形成面の平坦化が図られ、後工程での悪影響が緩和される。また、本来素子が形成されることのない境界に、種々の境界層を設けることにより、応力を緩和するとともに、チップ面積の増大を抑制することができる。

【0030】

第2の側面として、バルク状基板領域とS O I 基板領域との間の応力を低減した半導体装置の簡便な製造方法を提供する。この方法は以下の工程を含む。

【0031】

- (a) 支持基板と、支持基板上の埋め込み絶縁膜と、埋め込み絶縁膜上のシリコン層とから構成されるS O I 基板を準備する
- (b) S O I 基板の所定の箇所で、前記シリコン層と、埋め込み絶縁膜の一部を除去する
- (c) 除去により露出したシリコン層の側壁を覆う側壁保護膜を形成する
- (d) 前記所定の箇所で前記支持基板の表面を露出させ、露出した面から前記シリコン層の表面に一致する高さのバルク成長層を形成する
- (e) バルク成長層と前記S O I 基板に、同じ深さの素子分離を一括して形成する
- (f) バルク成長層とS O I 基板に素子を形成する。

【0032】

第3の側面として、バルク状基板領域とS O I 基板領域の間の応力を緩和するとともに、それぞれの領域に適した素子分離を有する半導体装置の簡便な製造方法を提供する。この方法は以下の工程を含む。

【0033】

- (a) 支持基板と、支持基板上の埋め込み絶縁膜と、埋め込み絶縁膜上のシリコン層とから構成されるS O I 基板を準備する
- (b) S O I 基板の第1の位置で前記シリコン層を除去し、除去した位置に第1の素子分離絶縁膜を形成する
- (c) 第1の素子分離絶縁膜でシリコン層の側壁を覆ったまま、第2の位置で

、支持基板の表面を露出する

(d) 露出させた面から、シリコン層の表面に一致する高さのバルク成長層を形成する

(e) バルク成長層に、第1の素子分離絶縁膜よりも深い第2の素子分離絶縁膜を形成する

(f) バルク成長層とシリコン層に素子を形成。

【0034】

第4の側面として、たとえ熱応力などによバルク状基板領域とS O I 基板領域の結境で発生する転位の拡張を防止することのできる半導体装置の製造方法を提供する。この方法は以下の工程を含む。

【0035】

(a) 支持基板と、支持基板上の埋め込み絶縁膜と、埋め込み絶縁膜上のシリコン層とから構成されるS O I 基板を準備する

(b) S O I 基板の所定の箇所で、シリコン層と、埋め込み絶縁膜を除去して、支持基板の表面を露出する

(c) 露出した支持基板の表面から、シリコン層の表面に一致する高さのバルク成長層を形成する

(d) バルク成長層の境界近傍に、埋め込み絶縁膜よりも深いダミートレンチを形成する

(e) バルク成長層とS O I 基板の所定の位置に素子を形成する。

【0036】

その他の構成、特徴は、以下で図面を参照して述べる詳細な説明により、いつそう明確になる。

【0037】

【発明の実施の形態】

図1は、本発明が適用される半導体チップ10の構成例を示す。半導体チップ10は、バルク基板領域に素子が形成されるバルク素子領域11と、S O I 基板領域に素子が形成されるS O I 素子領域12を有し、1つのチップ上に複数の機能要素を搭載してシステムを構成する、いわゆるシステムオンチップ型の半導体

装置である。

【0038】

SOI素子領域12では、埋め込み絶縁膜上の薄膜シリコン層(SOI層)に素子が形成される。この領域では、素子活性層の直下が絶縁体になるため、ロジック回路等の、高速性、高信頼性が必要とされる素子の形成に適する。一方、バルク素子領域11は、基板浮遊やリテンションの観点から、SOI層よりバルク基板への形成が適する素子、たとえばDRAMセルなどが形成される。

【0039】

図1(a)は、半導体チップ10内に単一のバルク素子領域11を配置した例を、図1(b)は、半導体チップ10内に複数のバルク素子領域11を配置した例を示す。詳細な図示はしないが、いずれの配置例においても、バルク素子領域11にはDRAMセルのみならず、その周辺回路(たとえば、電源回路、デコード回路、I/O回路など)も合わせて形成され、全体としてのひとつの機能ブロックを構成する。このような機能ブロックを、「DRAMマクロ」と称する。

【0040】

一方、SOI素子領域12には、表面SOI層にたとえばMOSトランジスタを形成した高速ロジック回路が形成される。このようなロジック回路を「SOIロジック」と称する。

【0041】

以下、システムオンチップの一例として、ひとつのチップ上にDRAMマクロとSOIロジックとが搭載される構成を例にとって、種々の実施形態を説明する。

【0042】

<第1実施形態>

図2は、本発明の第1実施形態に係る半導体装置であり、図1(b)のA-A'ラインに沿った断面構成の一例を示す。図2に示す半導体チップ10は、支持基板21と、支持基板21上に形成されたバルク成長層26に素子が形成されるバルク素子領域11と、支持基板21上の埋め込み酸化膜22上に位置するシリコン層(SOI層)23に素子が形成されるSOI素子領域12と、これらの領

域の境界に位置する境界層であるポリシリコン層47を備える。図2の例では、バルク素子領域11は、バルク成長層として、単結晶Siのエピタキシャル成長層26を有し、支持基板21は、たとえばP型のシリコン支持基板である。

【0043】

バルク素子領域11は、たとえばトレンチ型キャパシタ30を使用したDRAMセル43、周辺トランジスタ44、その他図示はしないが、必要な回路素子を含む。これらの素子や回路全体で、ひとつの機能ブロックとしてDRAMマクロを構成する。

【0044】

SOI素子領域12は、たとえばMOSFET45のアレイを含み、これらの高速素子でSOIロジックを構成する。

【0045】

DRAMセル43や周辺トランジスタ44が形成されるエピタキシャル成長層26の表面と、MOSFET45が形成されるSOI層23の表面の高さは、ほぼ等しい。したがって、半導体チップ10においては、バルク素子領域11内の素子と、SOI素子領域12内の素子は、ほぼ同レベルに位置することになる。

【0046】

DRAMセル43、周辺トランジスタ44、MOSFET45は、たとえばポリシリコン等のシリコン系のゲート電極39a、41、39bを有する。図2の例では、バルク素子領域11とSOI素子領域の境界に位置する境界層としてポリシリコン層47を用いているが、素子43、44、45のゲート材料として用いられるシリコン系材料であれば、たとえばSiGe（シリコンゲルマニウム）などの層であってもよい。

【0047】

図2の例では、ポリシリコンの境界層47が、エピタキシャル成長層26とSOI層23の表面と揃う高さであるが、素子のゲート39a、39b、41と同じ高さまで突出していてもよい。

【0048】

半導体チップ10はまた、DRAMマクロが形成されるバルク素子領域11内

に、各素子43、44を分離する第1の素子分離35aを有し、SOIロジックが形成されるSOI素子領域12内に、各素子45を分離する第2の素子分離35bを有する。バルク素子領域11に形成される第1の素子分離35aと、SOI素子領域12に形成される第2の素子分離35bは、ほぼ同じ深さであり、同一の絶縁素材で埋め込まれている。

【0049】

図2に示す例では、SOI層23と埋め込み酸化膜22を合わせた厚さが比較的厚く、SOI素子領域12における第2の素子分離35bの深さは、埋め込み酸化膜22の途中までとなっている。しかし、埋め込み酸化膜22がそれほど厚くない場合は、第2の素子分離35bの厚さは、SOI膜23の膜厚よりも深く、かつ、バルク素子領域11の素子分離35aの深さと同程度であれば、Si支持基板21に達する深さであってもかまわない。第2の素子分離35bと第1の素子分離35aを同程度の深さとすることにより、MOSFET45が位置するSOI層23から、第2の素子分離35bを隔てて隣りのSOI層に到る実効的な素子間距離が長くなる。結果として、界面を介したリーク電流による素子分離耐性の劣化が回避され、微細でかつリーク電流の小さい素子分離が可能になる。

【0050】

図3および4は、図2に示した半導体装置の製造工程を示す。以下、図面に従って、製造方法を説明する。

【0051】

(a) まず、図3(a)に示すように、Si支持基板21、埋め込み酸化膜22、SOI層23から成るSOIウエハ20上に、 SiO_2 や SiN 、あるいはこれらの複合膜によるマスクパターン24を形成する。

【0052】

(b) 次に、図3(b)に示すように、マスクパターン24で保護されていない領域のSOI層23および埋め込み絶縁膜22を、RIE (reactive ion etching)などの異方性エッティングにより除去する。このとき、Si支持基板21への機械的ダメージやプラズマダメージを防ぐために、SOIウエハ20の埋め込み酸化膜22'がわずかに残る状態でエッティングを終了する。

【0053】

(c) 次に、図3 (c) に示すように、露出したS O I層23の側面を保護するために、側壁保護膜25を形成する。側壁保護膜25としては、SiNやSiO₂などが適用可能である。これらを全面に堆積させた後、RIEにより側壁残しを行って側壁保護膜25を形成する。側壁残しの際にも、先に残した埋め込み酸化膜22'が支持基板21上に維持されるように、側壁保護膜25の膜厚を調整する。

【0054】

(d) 次に、図3 (d) に示すように、支持基板21上にわずかに残した埋め込み酸化膜22'を、たとえばNH₄FやHFなどのエッチャントを使用してウエットエッチングし、支持基板21の表面を露出する。側壁保護膜25でS O I層23の側面を保護したままウエットエッチングすることにより、シリコン支持基板21にダメージを与えずにすむ。所定の前処理の後、たとえば化学的気相成長による選択エピタキシャル成長で、支持基板11上に単結晶Si層26を形成する。

【0055】

前工程で側壁保護膜25にSiO₂を使用した場合は、シリコン基板21を保護するように残した薄い埋め込み酸化膜22'をウエットエッチングする際に、側壁保護膜25も若干エッチングされる。しかし、支持基板21表面の保護のために残存させた埋め込み酸化膜22'の膜厚を十分に薄くすることによって、S O I層側壁を露出させることなく、支持基板21の表面だけを露出させることができる。

【0056】

一方、側壁保護膜25にSiNを使用した場合は、プロセス制御性が良好である。第1実施形態では、後述するように、側壁保護膜25を後工程で取り除き、最終的な製品においてバルク素子領域11とS O I素子領域12の境界に側壁保護膜25が残らないようにする。したがって、側壁保護膜25にSiNを使用した場合でも、従来問題となっていた応力による問題は解消され、プロセス制御性を優先させることができる。

【0057】

(e) 次に、図4 (e) に示すように、SOI基板表面に残るマスクパターン24を除去し、新たに全面にマスク材27を形成する。先のマスクパターン24がSiNである場合は、磷酸により除去することができ、先のマスクパターン24がSiO₂である場合は、HF(フッ化水素)で除去することができる。新たに形成するマスク材27も、SiO₂、SiN、あるいはこれらの複合膜である。マスク材27をバターニングし、これをマスクとして、DRAMのトレンチキャパシタ30を形成する。トレンチキャパシタ30は通常の方法で形成すればよい。たとえば、RIEなどでトレンチを形成後、下部拡散プレート31を形成し、絶縁膜を介してポリシリコン等の蓄積電極29を埋め込む。カラー絶縁膜32を形成し、トレンチをさらに埋め込んで、上部にセルトランジスタの一方のn型ソース／ドレイン拡散層40a(図2参照)に電気的に接続するためのストラップ33を形成し、最終的にn型ポリシリコンで埋め込む。

【0058】

(f) 次に、図4 (f) に示すように、素子分離35a、35bを、バルク素子領域11とSOI素子領域12の双方に、一括して形成する。具体的には、トレンチキャパシタ30を保護するために、まずトレンチキャパシタ30上に新たなマスク材37を堆積する。その後、マスク材27および37をバターニングし、素子分離用のシャロートレンチを、バルク素子領域11とSOI素子領域の両方に、同じ深さで形成する。マスク材27、37をストップとしてトレンチ内に絶縁膜を埋め込み、バルク素子領域11の第1素子分離35aと、SOI素子領域12の第2素子分離35bを同時に形成する。

【0059】

シリコン層とSiO₂、SiN等の絶縁膜とを同等のエッチング速度でエッチングできる条件(たとえば化学反応的エッチングではなく、機械的エッチング等)を設定し、SOI素子領域12の素子分離用トレンチと、バルク素子領域11の素子分離用トレンチを、同じレートで、DRAMセルのストラップ33間の素子分離に必要な深さまで掘り込んでいく。これにより、バルク素子領域11の第1素子分離35aと、SOI素子領域12の第2素子分離35bが一括形成され

る。

【0060】

(g) 最後に、図4 (g) に示すように、トレンチ内の埋め込み絶縁膜をS O I層23やエピタキシャル成長層26の表面までエッチバックし（このとき、キャパシタ保護マスク37も除去される）、マスク材27を除去する。マスク材27を除去するときに、側壁保護膜25の大部分も一緒に除去されて、くぼみ46が形成される。その後、所定の位置にゲート絶縁膜48を介したゲート電極39、41（図2参照）と、ソース／ドレイン40、42（図2参照）を形成する。ゲート電極はポリシリコンやSiGeなどのシリコン系の材料で形成する。ゲート電極形成時に、くぼみ46が自動的にゲート材料で埋め込まれ、S O I層23とSi単結晶のエピタキシャル成長層26との境界が、同じシリコン系の膜で連結される。

【0061】

この状態から、必要に応じて、ウェルやチャネルのドーピングを行い、所望の配線工程を経て、図2に示すようなDRAMマクロとS O Iロジックを混載した半導体装置が完成する。素子形成時にサリサイドプロセスを用いる場合は、境界に埋め込まれたポリシリコン47の変形を防止するため、ポリシリコン47をマスクなどで保護すればよい。

【0062】

なお、図2に示す例では、S O I層23と埋め込み酸化膜22を合わせた厚さが比較的厚く、支持基板21とエピタキシャル成長層26との界面が、比較的深い位置にある。そこで、DRAMメモリセル43の直下にあるp n接合面を、支持基板21とエピタキシャル成長層26との界面から確実に離すために、このp n接合面を界面よりも浅い位置に形成している。接合リーケを防止してメモリセルのリテンション特性を維持するためである。

【0063】

第1実施形態の半導体装置では、バルク素子領域11のエピタキシャル成長層26と、S O I層23の間を、ポリシリコン、SiGeなどのシリコン系の材料で連結することによって、領域間の境界での応力が最小になる。

【0064】

また、領域間の応力による移動度の変動を防止することができ、境界近傍の素子の劣化を効果的に防止することができる。

【0065】

さらに、本来S O I層の側壁を保護する側壁保護膜のあった位置に境界層を設けるので、チップ面積増大を抑制することができる。

【0066】

バルク素子領域とS O I素子領域の素子形成面が、均一な高さにあるので、後工程に有利である。

【0067】

S O I素子領域の素子分離が、トレンチキャパシタを有するバルク素子領域の素子分離と同程度の深さを有するので、S O I素子領域側の素子分離は、表面積としては微細であるにもかかわらずリーク電流を効果的に防止することができる。

【0068】

第1実施形態の半導体装置の例として、S O IロジックとD R A Mを同一チップ上に搭載しており、ロジックとD R A Mを別チップにした場合に比べて高速、低消費電力でデータをやり取りできる。

【0069】

また、バルク素子領域11は、D R A Mメモリセル43だけではなく、周辺回路44やその他の回路素子をも含めたひとつの機能ブロック(D R A Mマクロ)を包含するので、本来バルク基板で開発されたD R A Mの回路設計やデバイス設計が、そのままS O I／バルク基板に適用できる。

【0070】

もちろん、D R A Mマクロだけではなく、バルク基板を用いて開発されたその他の機能マクロ、たとえばアナログ回路マクロ、高耐圧回路マクロ、D R A M以外のメモリ回路マクロなどにも適用可能となる。

【0071】

第1実施形態の製造方法では、バルク素子領域とS O I素子領域の素子分離を

同じエッチングレートで一括して形成することができる。したがって、埋め込みに必要な絶縁膜の膜厚や、埋め込み時のエッチバック時間などのプロセス条件にもほとんど差が生じず、素子分離の形成作業が簡易になる。

【0072】

<第2実施形態>

図5は、本発明の第2実施形態に係る半導体装置50の概略断面図である。半導体装置50は、支持基板51と、支持基板51上に形成されたエピタキシャル成長層に素子43、44が形成されるバルク素子領域11と、支持基板51上の埋め込み酸化膜52上に位置するSOI層53に素子45が形成されるSOI素子領域12と、バルク素子領域内の各素子43、44を分離する第1の素子分離65aと、SOI素子領域12内の各素子45を分離する第2の素子分離65bと、バルク素子領域11とSOI素子領域12の境界に位置する第3の素子分離65cとを有する。この例では、第3の素子分離65cが境界層となる。

【0073】

第2実施形態においても、バルク素子領域11に形成される素子43、44、その他の回路素子（不図示）でDRAMマクロを構成し、SOI素子領域12に形成される素子45でSOIロジックを構成するものとする。

【0074】

第1～第3の素子分離65a～65cは、すべて同じ深さに設定され、かつ、SOI素子領域12の埋め込み酸化膜52よりも深い。また、DRAMセル43等が形成されるバルク素子領域11の素子形成面と、MOSFET45が形成されるSOI素子領域12の素子形成面は、ほぼ均一な高さにあり、DRAMマクロを構成する素子43、44と、SOIロジックを構成する素子45は、ほぼ同じ高さに位置する。

【0075】

バルク素子領域11は、バルク成長層として単結晶Siのエピタキシャル成長層56を有する。SOI素子領域12は、シリコン支持基板51と、埋め込み酸化膜52と、SOI膜53で構成され、埋め込み酸化膜52とSOI層53と合

わせた厚さは、第1実施形態に比較してやや小さく設定されている。

【0076】

第2実施形態に係る半導体装置50は、バルク素子領域11とSOI素子領域12のそれぞれに配置される素子分離と同様の深さ、素材の素子分離65cを、境界部に有する。境界に位置する素子分離65cは、その他の素子分離65a、65bと同様に、埋め込み酸化膜53よりも深い。したがって、境界部分から転位等の欠陥がバルク素子領域のエピタキシャル成長層56に広がるのを防止することができる。

【0077】

図6は、図5に示す半導体装置50の製造工程を示す図である。図6(e)は図3(d)に引き続く工程であり、図3(a)~3(d)に示す工程は、SOI層の膜厚が異なる以外は第1実施形態と共通するので、その説明の詳細は省略する。

【0078】

第1実施形態では、側壁保護膜を取り除き領域間の境界部分をシリコン系材料で連結することによって応力の問題を解決した。しかし、側壁保護膜を完全に除去するため、オーバーエッチングが必要となる。このオーバーエッチングにより、シリコン支持基板21の表面がダメージを受けるおそれがある。

【0079】

そこで、第2実施形態の製造方法では、埋め込み酸化膜の厚さが比較的薄いSOI基板を準備し、素子分離用のトレンチの深さをSOI素子領域の埋め込み酸化膜よりも深く設定する。また、バルク素子領域11とSOI素子領域12の境界部にも素子分離用のトレンチを配置することにより、各領域内の素子分離トレンチの形成と同時に、境界に残っていた側壁保護膜と、境界付近で結晶性が劣化した部分を一挙に取り去る。

【0080】

具体的には、図6(e)に示すように、バルク素子領域のエピタキシャル成長層56、SOI基板のSOI層53、側壁保護膜55の全面を覆って、マスク材57を形成する。マスク材57を所定の形状にパターニングした後、第1実施形

態と同様に、DRAMのトレンチキャパシタ30を形成する。

【0081】

次に図6(f)に示すように、バルク素子領域、SOI素子領域、およびこれらの境界に、一括して素子分離用のトレンチを形成する。このとき、シリコン、ポリシリコン、およびシリコン酸化膜に対して同等のエッティングレートを持つエッティング条件を設定することにより、同じエッティング時間で、同じ深さのトレンチを一括して形成することができる。なお、いずれのトレンチも、SOI素子領域の埋め込み酸化膜52よりも深い。残存している側壁保護膜55の深さは、せいぜい埋め込み酸化膜52の深さまでなので、素子分離トレンチの形成とともに、側壁保護膜55と境界部分で結晶性が劣化した領域が一緒に取り去られる。その後、トレンチ内を同一の絶縁素材で埋め込むことによって、DRAMマクロの第1の素子分離65a、SOIロジックの第2の素子分離65b、境界に位置する第3の素子分離65cを一括形成できる。

【0082】

その後、図6(g)に示すように、トレンチ内の埋め込み絶縁膜をエッチバッカして、マスク材57を除去し、所定の位置に素子43、44、45を形成して、図5に示す半導体装置50が完成する。

【0083】

第2実施形態に係る半導体装置と、その製造方法では、境界に位置する素子分離65cが埋め込み酸化膜53よりも深く、側壁保護膜25とその近隣の結晶劣化部分が一緒に取り除かれる。これにより応力を緩和するとともに、応力の影響により、境界部から転位等の欠陥がエピタキシャル成長層56に広がるのを防止することができる。

【0084】

さらに、従来の素子分離構造を領域間の境界にそのまま適用できるというメリットもある。

【0085】

チップ面積増大の効果的な抑制、素子形成面の高さの均一化による効果は、第1実施形態と同様である。

【0086】

<第3実施形態>

図7は、本発明の第3実施形態に係る導体装置70の概略断面図である。半導体装置70は、DRAMセル83や周辺トランジスタ84が形成されるバルク素子領域11と、MOSFET85が形成されるSOI素子領域12と、バルク素子領域11に形成される第1の素子分離79と、SOI領域12に形成される第2の素子分離75、75aとを備え、第2の素子分離75、75aは、第1の素子分離79よりも浅い。

【0087】

バルク素子領域11とSOI素子領域12のいずれかの素子分離のうち、最も境界近傍に位置する素子分離75aが、領域間の境界層を兼用する。図7の例では、SOI素子領域12に位置する第2の素子分離のうち、最も境界側の素子分離75aが、バルク素子領域11とSOI素子領域12の間に位置する境界を兼ねており、素子分離層75aの底面で、SOI素子領域12の埋め込み酸化膜72と接している。もちろん、設計によっては、バルク素子領域11の最も境界側に位置する素子分離が境界層を兼用してもよい。この場合は、境界層の側面で、埋め込み酸化膜72と接することになる。

【0088】

バルク素子領域11は、バルク成長層としてエピタキシャル成長層76を有し、DRAMセル83、周辺トランジスタ84、およびその他の回路素子（不図示）でDRAMマクロを構成する。SOI素子領域12はSOI層73、埋め込み酸化膜72およびシリコン支持基板71から成り、MOSFET85でSOIロジックを構成する。これらの素子は、バルク素子領域11とSOI素子領域12を通して均一な高さに位置する。

【0089】

このように、第3実施形態に係る半導体装置70では、バルク領域11とSOI素子領域で、それぞれの領域に応じた最適の素子分離を設定するために、第1の素子分離79の深さと、第2の素子分離75の深さが異なる。さらに、いずれかの領域の素子分離のうち、最も境界の近傍に位置する素子分離（図7の例では

SOI素子領域の素子分離75a)が、バルク素子領域11とSOI素子領域12の領域間の境界層を兼用する。

【0090】

第3実施形態の半導体装置70において、バルク素子領域11とSOI素子領域12のそれぞれに、最適の深さの素子分離を設ける理由は以下のとおりである。
。

【0091】

第1実施形態および第2実施形態では、すべての素子分離と同じ構成としていたが、ロジック部では特に素子分離の微細化が要求される場合がある。高度な微細化が要求される場合に、SOI基板に埋め込み酸化膜まで達する深いトレンチを形成するには、SOI層の側壁をエッティングする際のトレンチのテーパー角と、埋め込み酸化膜の側壁をエッティングする際のトレンチのテーパー角を、精密に制御しなければならない。角度制御を精密に行わないと、トレンチを埋め込んだ後に、内部に空洞が残り、空洞内にゲート電極材が残存して配線ショート不良を引き起こすおそれがあるからである。

【0092】

第3実施形態の半導体装置では、最適な素子分離領域を設けることにより、応力緩和、素子面積増大の効果的な抑制、素子形成面の高さの均一化という効果に加えて、配線ショート不良などを防止し、動作の信頼性を確保することができる。
。

【0093】

図8および9は、第3実施形態に係る半導体装置70の製造工程を示す図である。

【0094】

(a) まず、図8(a)に示すように、SOI素子領域12内の所定位置と、バルク素子領域との境界で双方の領域にまたがる位置に、第2の浅い素子分離75、75aを形成する。より具体的には、SOI基板全面にSiN等のマスク材を堆積し、これをパターニングして第1のマスク74を形成する。第1のマスク74に覆われた以外の箇所にRIE等により浅いトレンチを形成し、SiO₂など

の絶縁膜を堆積して第1の素子分離75、75aを形成する。

【0095】

(b) 次に、図8(b)に示すように、レジスト等で全面に第2のマスク材77を形成し、SOI素子領域全体と、バルク素子領域のうち境界に接する部分とが覆われるよう、第2のマスク材77をパターニングする。この第2のマスク材77をマスクとして、第1マスク材74、SOI層73、埋め込み酸化膜72を順次エッティング除去する。好ましくは、第1のマスク材74とSOI層73、および埋め込み酸化膜73の途中までを、たとえばRIEにより除去し、最終的にシリコン支持基板71を露出する際には、ウェットエッティングにする。

【0096】

RIEによるエッティング時は、SOI素子領域のSOI層73の側面は、境界に位置する第1の素子分離75aにより保護されている。また、埋め込み酸化膜72と、境界に位置する第1の素子分離75aがともにSiO₂系の複合膜であることから、最終的にバルク素子領域のシリコン支持基板71を露出させる段階でウェット処理にする。このウェットエッティングにより、支持基板71にダメージを与えることなく、埋め込み酸化膜72と、第2の素子分離75aのうちバルク素子領域側に突出する部分とを取り去ることができる。

【0097】

(c) 次に、図8(c)に示すように、第2のマスク材77を除去し、露出したシリコン支持基板71上に、単結晶シリコンを選択エピタキシャル成長させ、エピタキシャル成長層76を形成する。

【0098】

(d) 次に、図9(d)に示すように、必要であれば第1のマスクパターン74を除去した後、新たにマスク材78を全面に形成してパターニングし、バルク素子領域にトレンチキャパシタ30を形成する。トレンチキャパシタ30の形成方法は、第1実施形態で述べたとおりである。

【0099】

(e) 次に、トレンチキャパシタ30のための保護壁80を形成してから、バルク素子領域に、第2の素子分離75よりも深い第1の素子分離79を形成する。

【0100】

(f) 最後に、トレンチ内の埋め込み絶縁膜をエッチバックし、マスク材の除去後、DRAMとSOIロジックを構成するトランジスタ83、84、85を形成して半導体装置70が完成する。

【0101】

第3実施形態の半導体装置は、バルク素子領域とSOI素子領域のいずれかの領域の素子分離が、境界部で境界層として機能する。したがって、境界ぎりぎりまで素子の形成が可能になり、デッドスペースが縮小し、チップ面積の増大を効率的に抑制することができる。

【0102】

また、バルク素子領域とSOI素子領域のそれぞれに、最適な素子分離を配置することによって、SOI素子領域の素子分離内部での空洞の発生を防止し、ゲート電極の短絡等を抑制することができる。

【0103】

第3実施形態の製造方法によれば、SOI素子領域の素子分離形成後に、高温工程をともなうエピタキシャル成長やトレンチキャパシタ形成を行うため、SOI素子領域の応力を緩和することができる。

【0104】

また、また、バルク素子領域とSOI素子領域の双方にわたって、均一な高さに素子を形成することができる。

【0105】

さらに、境界部にあらかじめ、バルク素子領域とSOI素子領域のいずれかに属する素子分離75aを形成することにより、SOI層の側面を自動的に保護することができる。したがって、独立した側壁保護膜の形成工程が不要になる。

【0106】

バルク素子領域部の支持基板を露出させるにあたって、埋め込み酸化膜と境界部に位置する素子分離用絶縁膜との双方をウエット処理でエッチング可能なことから、支持基板へのダメージが回避される。

【0107】

なお、第3実施形態の変形例として、図5に示す第2実施形態の構成を取り入れ、境界部に、第1素子分離79と同じ深さの第3の素子分離を設けてもよい。その場合は、第2の素子分離75、75aで区画されたMOSFET85は、もう少しSOI素子領域の内側に位置し、埋め込み酸化膜72の端部側面に接して、この埋め込み酸化膜72によりも深い、すなわち第1素子分離79と同程度の深さの第3素子分離が境界に位置する。

【0108】

このような半導体装置を作製するには、第1の素子分離79と境界部に位置する第3の素子分離を、同じリソグラフィ工程で形成し、SOI素子領域内の第2の素子分離75、75aを、別のリソグラフィ工程で形成すればよい。

【0109】

この変形例でも、バルク素子領域内に形成されるDRAMセルなどの素子と、SOI素子領域に形成されるMOSFETなどの素子の高さがほぼ一定となる。

【0110】

また、境界に隣接する領域でダメージを受けたるおそれのあるバルク成長層76を素子分離とともに取り去られているので、応力の問題が解消される。

【0111】

また、バルク素子領域とSOI素子領域の境界に素子分離を設定するので、チップ面積の増大を抑制することができる。

【0112】

さらに、領域ごとに最適な素子分離を形成できるので、動作の信頼性が高い。

【0113】

<第4実施形態>

図10は、図7に示す半導体装置70の別の製造工程を示す図である。第3実施形態では、バルク素子領域の形成に際して、SOI素子領域内と境界上にだけ第1の素子分離を形成し、バルク素子領域となるSOI基板上には、マスク材を残しておいた。図10に示す第4実施形態の方法では、結晶成長によりバルク化する予定の領域全体に、素子分離層をあらかじめ形成する。

【0114】

まず、図10（a）に示すように、第1のマスク材74を全面に堆積した後、SOI素子領域12内の素子形成部分だけを覆うようにパターニングする。その他の部分、すなわち、SOI素子領域12内的一部と、バルク化する領域全体に、たとえば SiO_2 の素子分離用絶縁膜75、75aを形成する。

【0115】

次に、図10（b）に示すように、第2のマスク材77を、SOI素子領域上と、バルク化する領域のうち境界に接する部分上に残るようにパターニングする。そして、バルク成長層を形成する領域の素子分離用絶縁膜75aと、埋め込み酸化膜72を、好ましくはウエットエッチングにより、一度に除去する。これにより、SOI領域のSOI層73の側壁を自動的に保護した状態で、一度のエッチングでシリコン支持基板71を露出することができる。また、素子分離絶縁膜75と埋め込み酸化膜75aの双方を連続的にウエット除去するので、シリコン支持基板71の表面にダメージを与えるずにすむ。

【0116】

次に、図10（c）に示すように、露出したシリコン支持基板71上に、選択エピタキシャル成長でエピタキシャル成長層76を形成する。

【0117】

以降の工程については、図9（d）～9（f）と同様である。

【0118】

第4実施形態の製造方法では、SOI素子領域のSOI層の側面が、素子分離によって自動的に保護されるという効果に加え、バルク領域のシリコン支持基板を露出する際に、一度のウエットエッチングで済む。このため、たとえバルク素子領域とSOI素子領域に、それぞれ異なる深さ、異なる素材の素子分離を形成したとしても、全体としてみれば製造工程が簡略化される。また、支持基板へのダメージが少ない。

【0119】

＜第5実施形態＞

図11は、本発明の第5実施形態に係る半導体装置90の概略断面図である。

【0120】

半導体装置90は、支持基板91上のバルク成長層96にDRAMセル103、周辺トランジスタ104等の素子が形成されるバルク素子領域11と、SOI層93にMOSFET105などの素子が形成されるSOI素子領域12と、これらの領域の境界に位置する境界層97と、バルク素子領域内にあって、SOI素子領域との境界近傍に位置するダミートレンチ（ダミーキャパシタ）101とを備える。

【0121】

DRAMセル103等が形成されるバルク素子領域の素子形成面（すなわちエピタキシャル成長層96の表面）と、MOSFET106が形成されるSOI素子形成面（すなわちSOI層93の表面）の高さはほぼ等しい。

【0122】

半導体装置90はまた、バルク素子領域内で各素子を分離する第1の素子分離95aと、SOI素子領域内で各素子を分離する第2の素子分離95bを有する。第5実施形態では、第1の素子分離と第2の素子分離の深さは同一であっても、異なってもかまわない。

【0123】

ダミーキャパシタ101の深さは、SOI素子領域12の埋め込み酸化膜92よりも深く設定される。バルク素子領域とSOI素子領域の境界部で転位が発生して、矢印Aで示すように、バルク素子領域に向けて転位が広がっても、ダミートレンチの存在により、バルク素子領域内部への転位の拡張を防ぐためである。

【0124】

図11の例では、ダミートレンチは、バルク素子領域11内に形成されるDRAMセル103のトレンチキャパシタ100と同形状、同じ構成のダミーキャパシタ101として設けられる。したがって、トレンチキャパシタの埋め込み電極99と同じ材料で埋め込まれ、下部電極としての拡散層105や、カラー側壁107を有する。しかし、上部ストラップ等を設けずに、トレンチキャパシタ100と同形状のトレンチを埋め込んだだけのダミートレンチであってもよい。また、ダミーキャパシタの表面部分に、第1素子分離95aのような素子分離を形成して、電気的に不活性にしてもよい。

【0125】

また、図11の例では、図2に示すシリコン系の境界層47を有する半導体装置にダミーキャパシタを設けているが、図5に示す境界に独立した素子分離65cを有する半導体装置にダミーキャパシタを設けてもよい。さらに、図7に示すように、SOI素子領域内の素子分離75aが境界部分を兼用する半導体装置において、バルク素子領域11内の境界近傍にダミーキャパシタを設けてもよい。いずれの場合も、ダミーキャパシタは、SOI素子領域12の埋め込み酸化膜よりも深く設定する。また、ダミーキャパシタとしてではなく、トレンチを埋め込んだだけのダミートレンチとしてもよい。

【0126】

半導体装置90の製造工程としては、ダミートレンチは、エピタキシャル成長層96の形成後、最初に形成される。バルク素子領域内にトレンチキャパシタを有するDRAMセルを有する場合は、トレンチキャパシタの形成と同時に、同じ工程で一括形成するのが好ましいが、上述したように下部拡散電極105やカラーバー側壁107を形成する工程は省略してもよい。

【0127】

図12は、図11に示すダミーキャパシタ101の配置例を示す平面図である。図12の例では、バルク素子領域内の境界部に、DRAMセルのトレンチキャパシタ100と同じ構造のダミーキャパシタ101を配置した例を示しているが、必ずしも、トレンチキャパシタ100と同じ構造でなくてもよい。ダミーの深さはSOI素子領域の埋め込み酸化膜よりも深く設定されている。

【0128】

図13は、ダミートレンチの変形例を示す。図13(a)は、ライン状のダミー110でバルク素子領域内のDRAMマクロを取り囲んだ変形例を、図13(b)は、島状のダミー111でDRAMマクロを取り囲んだ変形例を示す。いずれの例も、エピタキシャル成長等のバルク成長層を形成した後、DRAMセルのトレンチキャパシタの形成と同時に、ダミートレンチを形成することが出来る。

【0129】

第5実施形態では、境界部の応力緩和、素子形成面の均一平坦化、チップ面積

増大抑制といった効果に加え、バルク素子領域内の境界近傍にダミートレンチを配置することによって、境界部分からの転位がバルク素子領域内に拡張するのを防止することができる。

【0130】

<その他の実施形態>

第1実施形態から第5実施形態では、SOI基板の一部を除去してバルク素子領域を形成する際に、単結晶シリコンの選択エピタキシャル成長でバルク成長層を形成していた。しかし、バルク素子領域として、SiGeをエピタキシャル成長させることも可能である。

【0131】

さらに、ひとつのSOI基板内に、Siのバルク成長層と、SiGe（シリコンゲルマニウム）のバルク成長層を共存させることも可能である。この場合も、各バルク素子領域とSOI基板との境界を、各領域に形成される素子のゲート電極材料と同じポリシリコンやSiGeなどで充填することによって、バルク素子領域とSOIロジックの境界、あるいは異なるバルク素子領域間の境界で、応力を最小にすことができ、マージンを向上できる。

【0132】

また、SOI素子領域とSiバルク素子領域、またはSOI素子領域とSiGeバルク素子領域の境界に、いずれかの領域内で使用される素子分離が位置するように配置すれば、デッドスペースが低減される。

【0133】

さらに、Siバルク素子領域またはSiGe素子領域内であって、SOI素子領域との境界近傍に、ダミートレンチを形成することによって、境界部で発生しがちな転位がバルク素子領域内に拡張することを防止できる。

【0134】

具体的な構成例として、Siバルク素子領域にDRAMを形成し、SiGeのバルク素子領域にバイポーラ回路を形成して、双方をSOI基板上のロジック回路とともに1つのチップ上に搭載する半導体装置を形成することができる。各バルク素子領域およびSOI素子領域に形成される素子や機能ブロックの性質に応

じて、それぞれ最適の素子分離が形成可能であることは、第3、第4実施形態から明らかであり、性能面ですぐれたシステムLSIが可能になる。

【0135】

また、SOI基板の埋め込み絶縁膜は、埋め込み酸化膜に限定されない。

【0136】

上述した実施形態のいずれにおいても、素子分離トレンチのエッチング条件を調節することによって、種々の変形構造が可能である。

【0137】

たとえば、図5に示した第3実施形態では、素子分離65a、65b、65cを、シリコンと酸化膜が同程度のエッティングレートで加工される条件で一括形成しているが、酸化膜に対するエッティングレートが遅い加工条件で一括に形成してもよい。この場合は、SOI素子領域内の素子分離65bは、バルク素子領域内の素子分離65aよりも浅いものとなる。また、境界部に位置する素子分離65cの形状は、非対称になる。すなわち、埋め込み酸化膜52上では、SOI素子領域側の素子分離65bと同等の深さになり、バルク成長層56側では、素子分離65aと同じ深さになる。なお、境界部の側壁保護膜の影響や結晶劣化を受けたバルク成長層を完全に除去するために、素子分離65aの深さは、支持基板51と埋め込み酸化膜52の界面よりも深いことが望ましい。

【0138】

さらに、バルク素子領域内および境界部の素子分離65a、65cと、SOI素子領域内の素子分離65bを別々のエッティング工程で、それぞれエッティング条件を異ならせて形成してもよい。たとえ、素子分離65aと65cをひとつのエッティング工程で、シリコンと酸化膜に対して同じレートでエッティングする条件で加工し、素子分離65bを、酸化膜に対するエッティングレートが遅い条件で加工する。この場合は、境界部に位置する素子分離65cの形状は対称となり、応力発生の懸念がなくなるとともに、SOI素子領域内の素子分離65bを浅く形成することにより、埋め込みが容易になり微細な素子分離が可能となる。

【0139】

【発明の効果】

SOI素子領域とバルク素子領域の素子形成面を均一な高さに設定することによって、後の製造工程への悪影響を排除できる。

【0140】

SOI素子領域とバルク素子領域との境界に、適切な境界層を配置することによって、領域間の応力が低減される。

【0141】

また、境界部に位置する素子分離の配置構成を工夫することによって、チップ面積の増大を抑制することができる。

【図面の簡単な説明】

【図1】

本発明が適用される半導体チップの一例を示す図である。

【図2】

本発明の第1実施形態に係る半導体装置の概略断面図である。

【図3】

図2に示す半導体装置の製造工程を示す図である。

【図4】

図2に示す半導体装置の製造工程を示し、図3(d)に続く工程を示す図である。

【図5】

本発明の第2実施形態に係る半導体装置の概略断面図である。

【図6】

図5に示す半導体装置の製造工程を示す図である。

【図7】

本発明の第3実施形態に係る半導体装置の概略断面図である。

【図8】

図7に示す半導体装置の製造工程を示す図である。

【図9】

図7に示す半導体装置の製造工程を示し、図8(c)に続く工程を示す図である。

【図10】

本発明の第4実施形態に関し、図7に示す半導体装置の別の製造工程を示す図である。

【図11】

本発明の第5実施形態に係る半導体装置の概略断面図である。

【図12】

図11に示す半導体装置で用いられるダミーキャパシタの配置例を示す図である。

【図13】

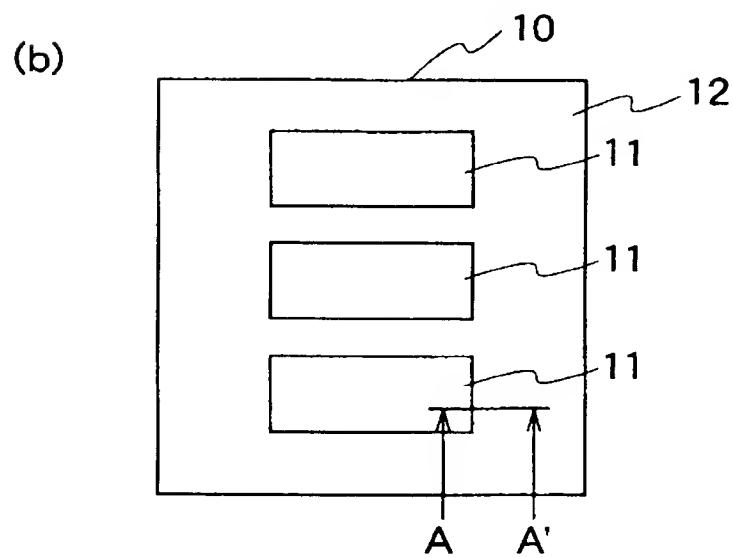
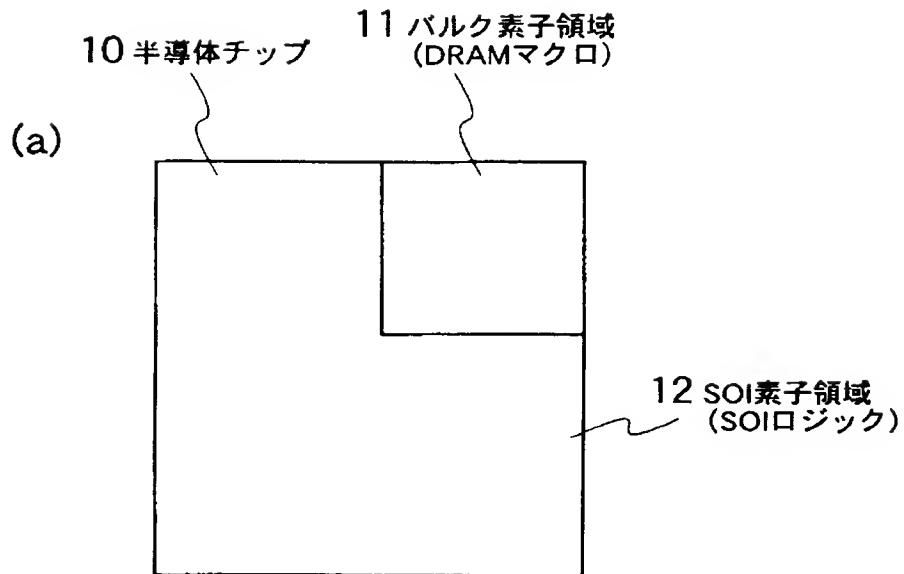
図11に示す半導体装置で用いられるダミーパターンの変形例を示す図である。

【符号の説明】

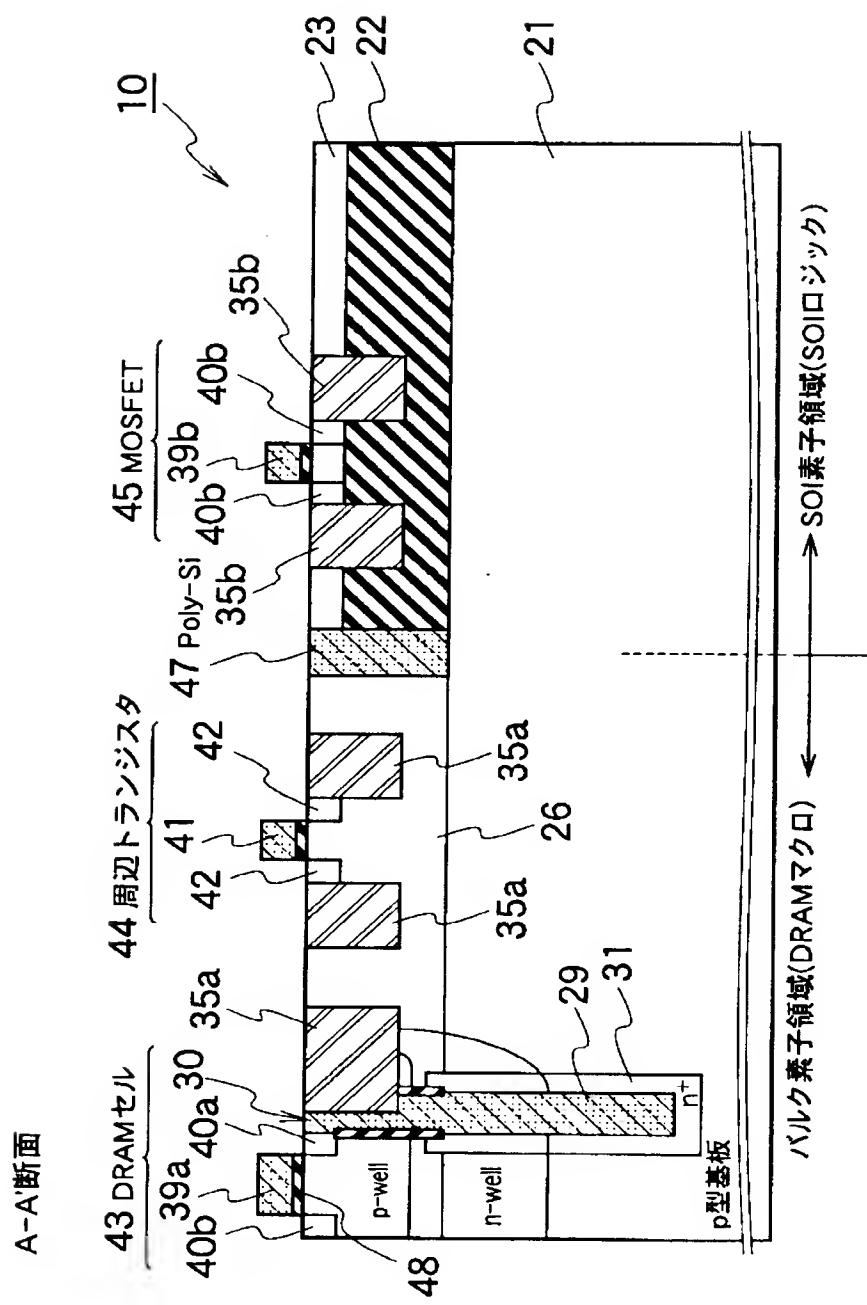
- 10 半導体チップ
- 11 バルク素子領域 (DRAMマクロ)
- 12 SOI素子領域 (SOIロジック)
- 21、51、71、91 Si支持基板
- 22、52、72、92 埋め込み酸化膜
- 23、53、73、93 SOI層
- 24、74 第1のマスク材
- 25、55 側壁保護膜
- 30、100 トレンチキャパシタ
- 35、65、75、79、95 素子分離
- 43、44、45、83、84、85、103、104、105 素子
- 101 ダミーキャパシタ
- 110、111 ダミーパターン (ダミートレンチ)

【書類名】 図面

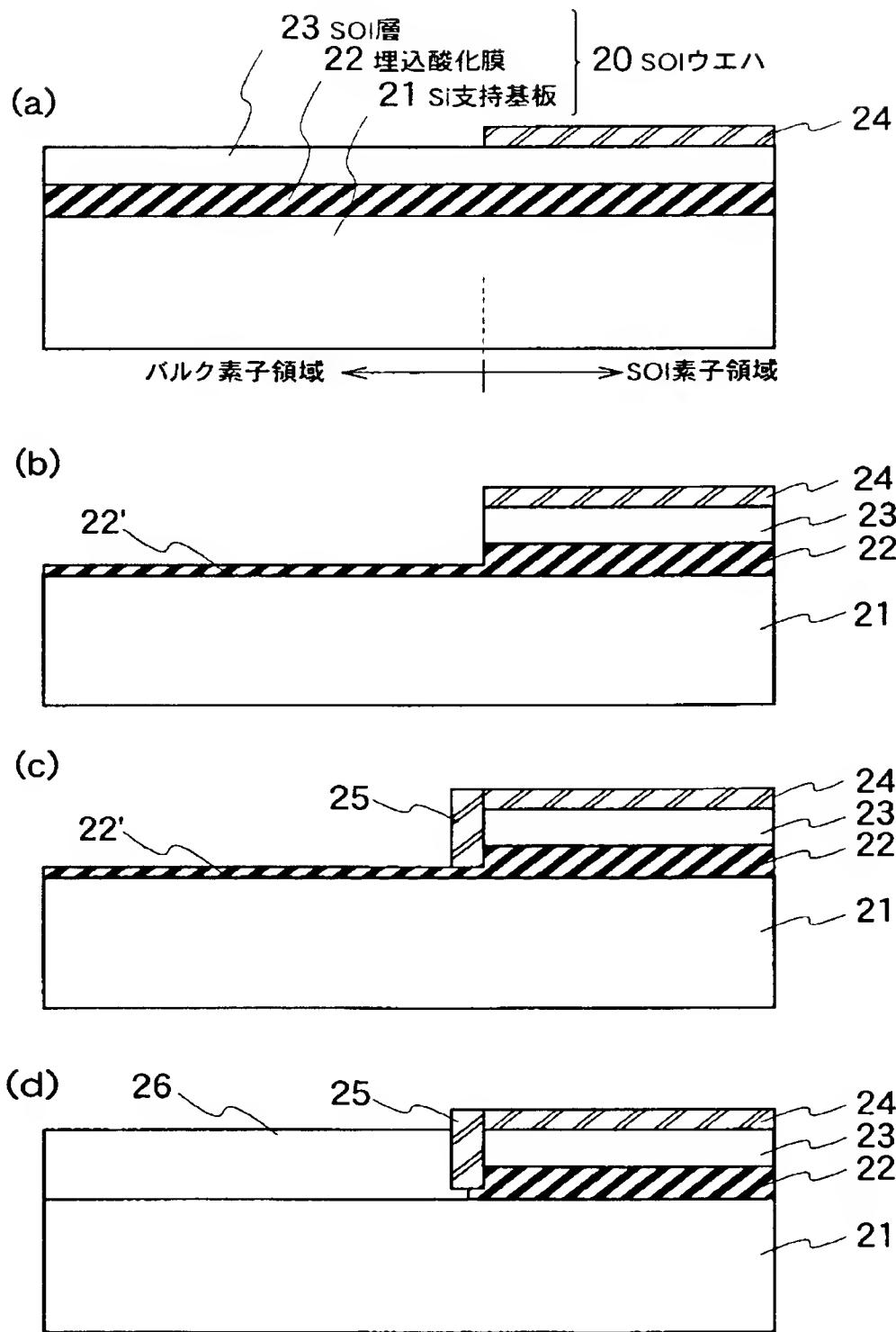
【図1】



【図2】

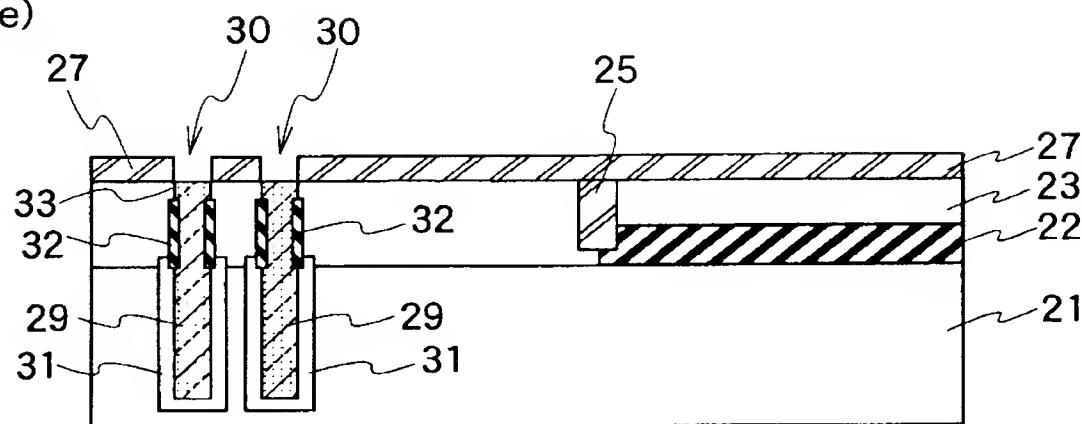


【図3】

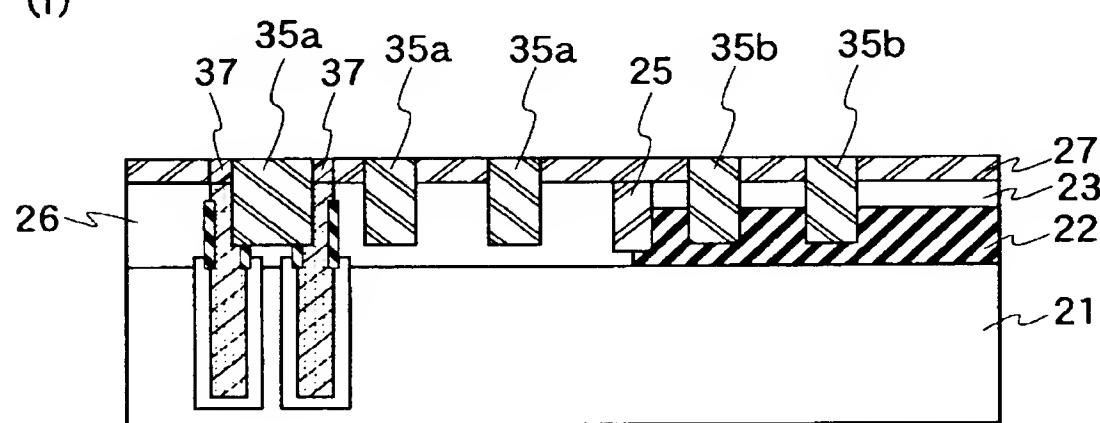


【図4】

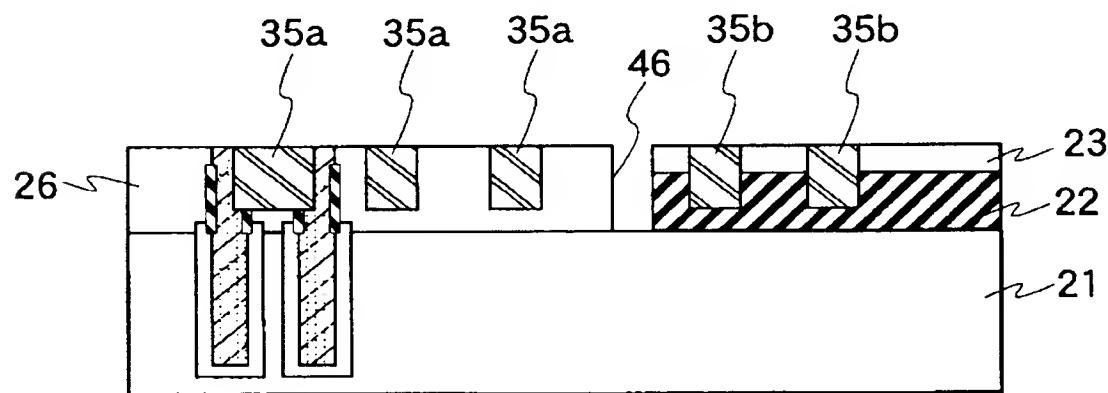
(e)



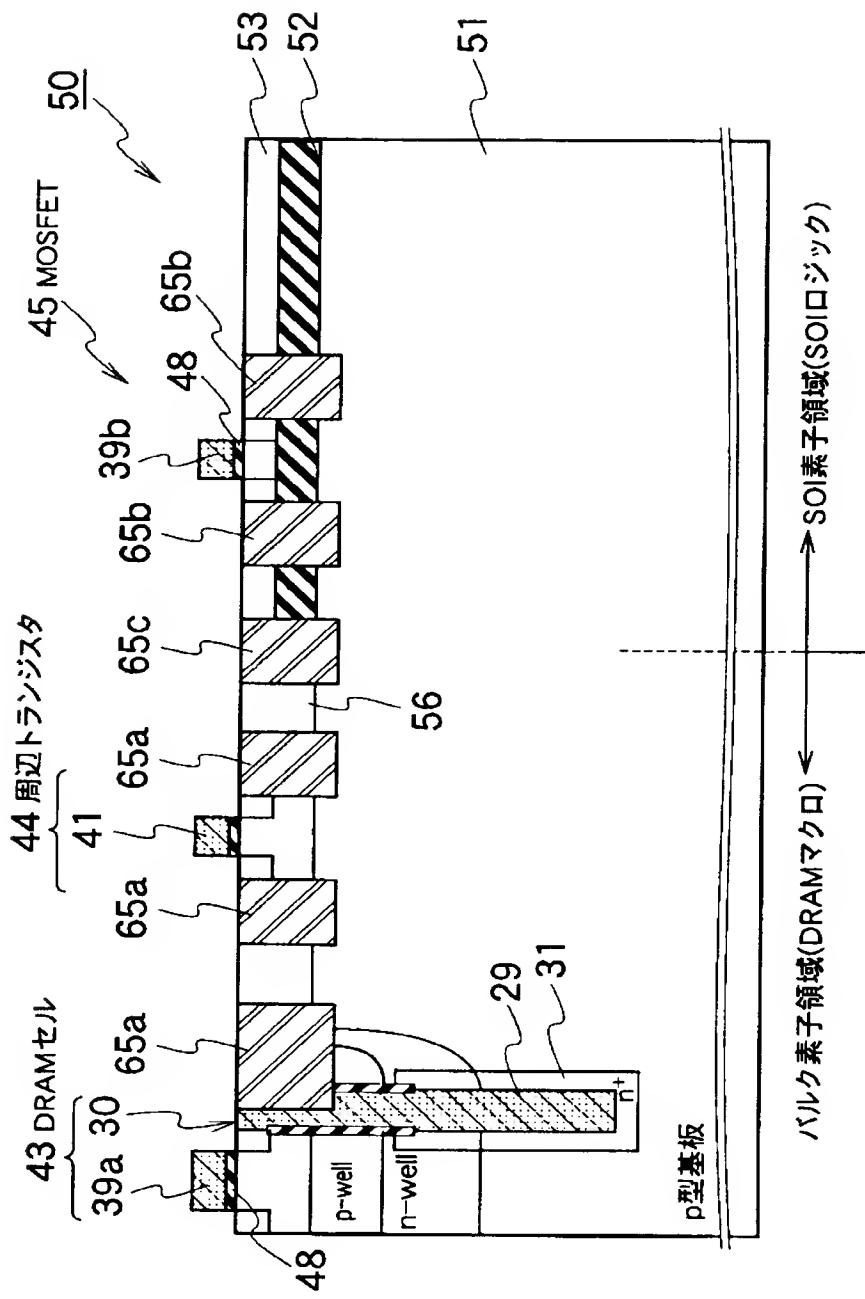
(f)



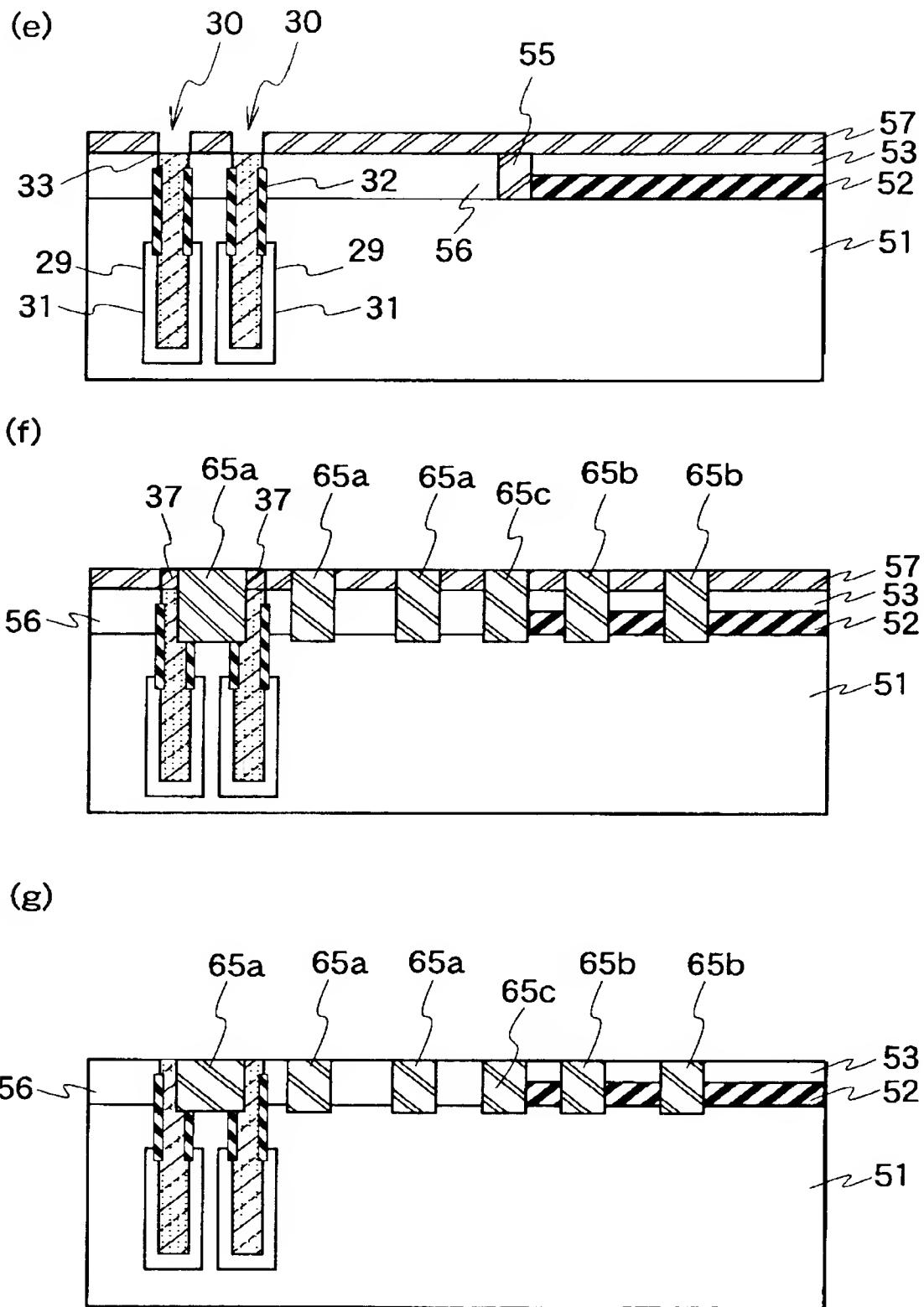
(g)



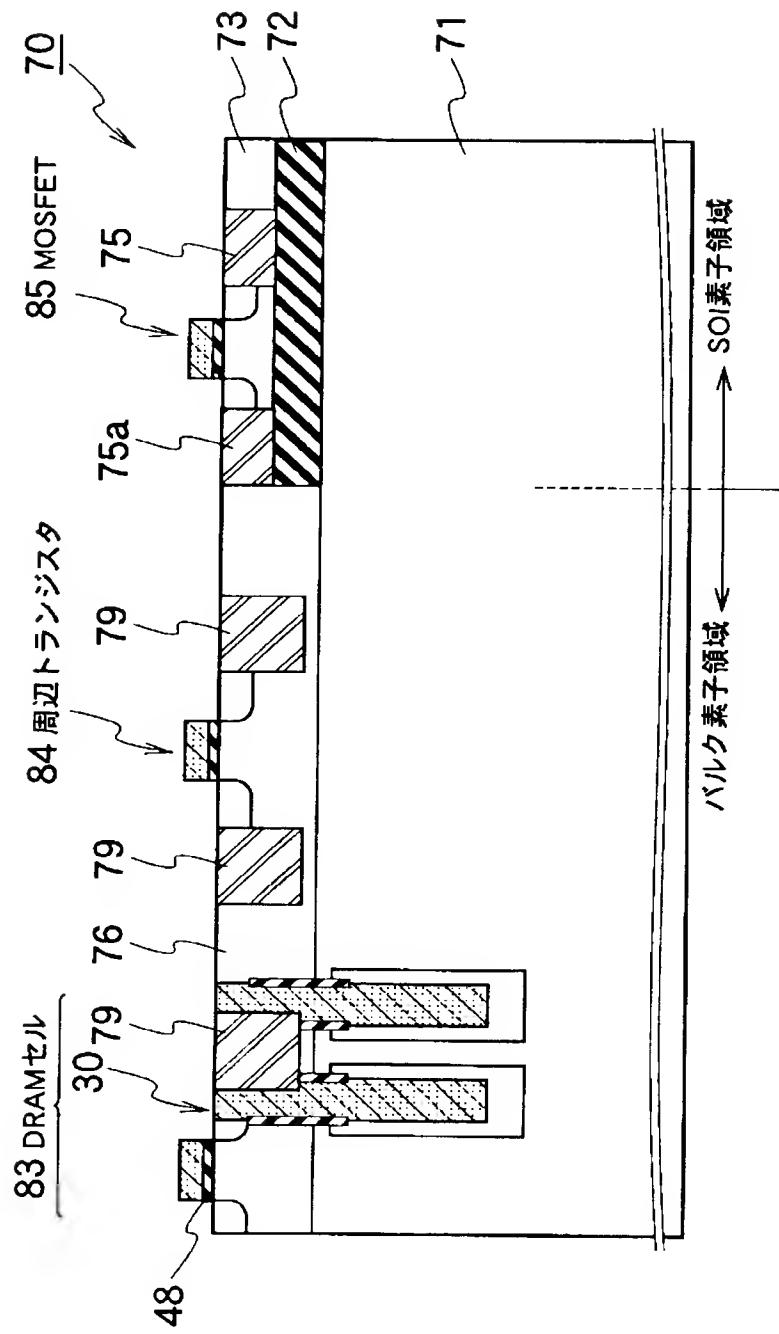
【図5】



【図6】

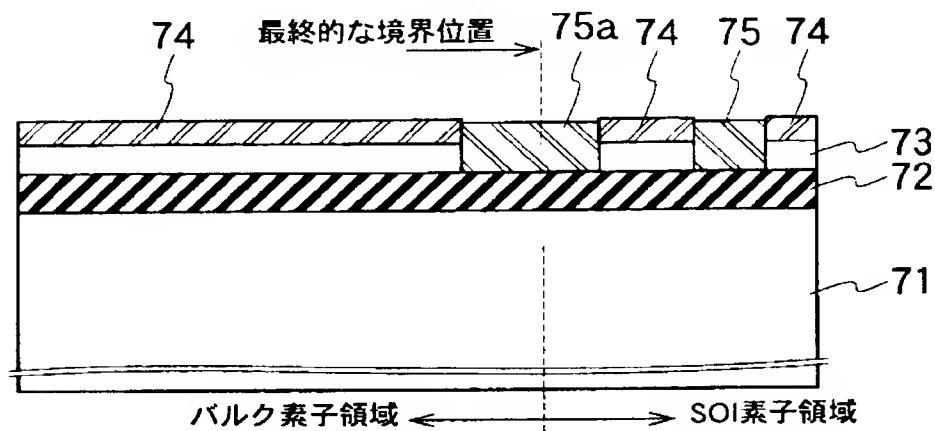


【図7】

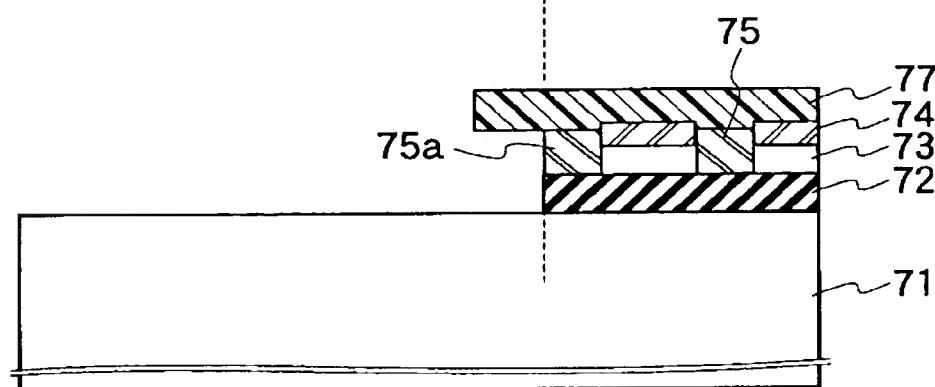


【図8】

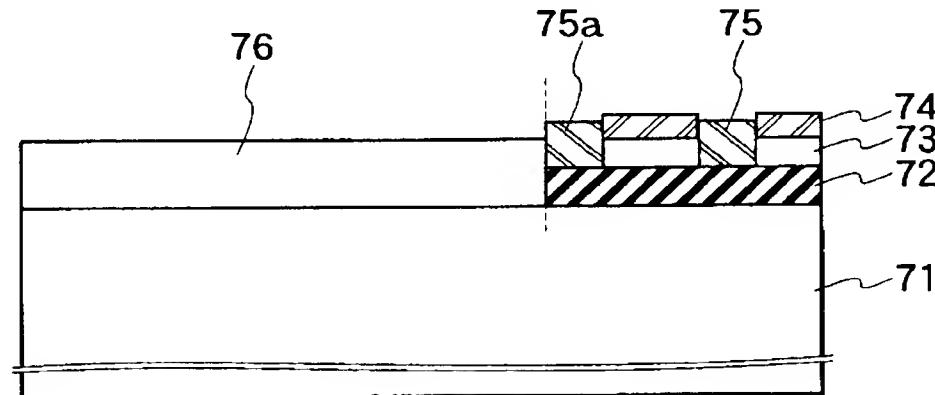
(a)



(b)

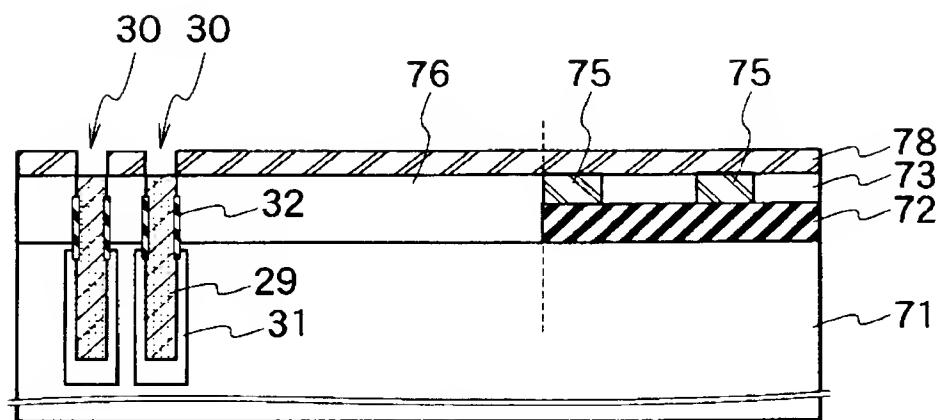


(c)

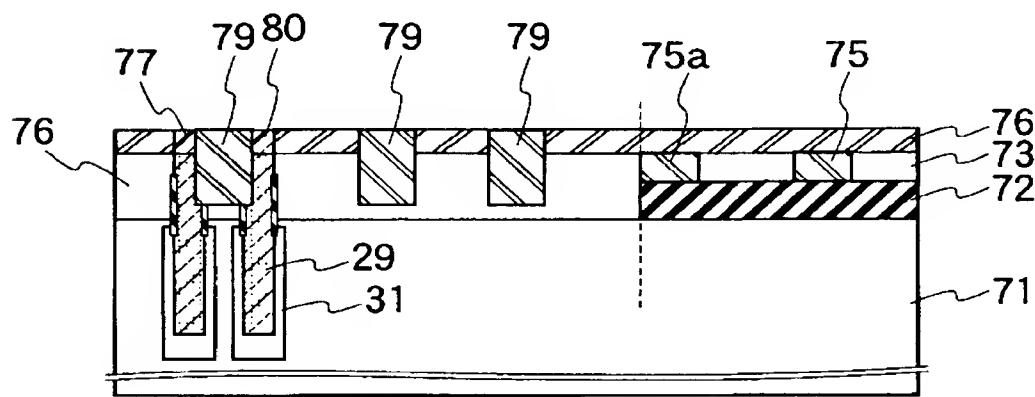


【図9】

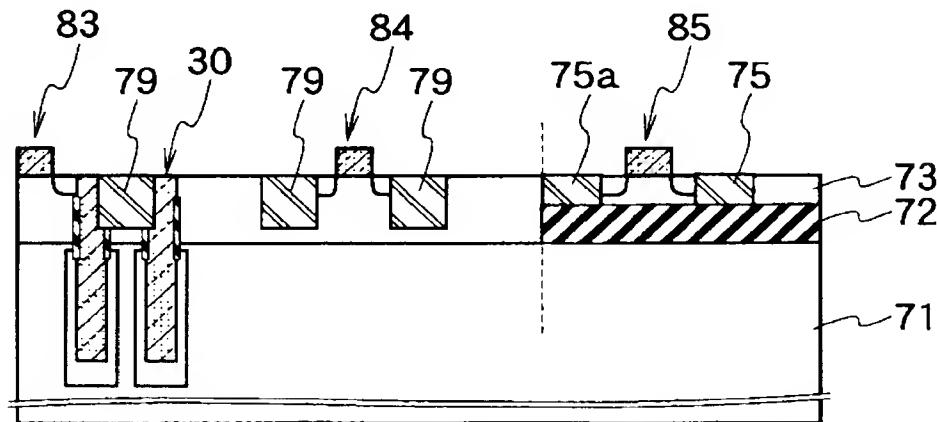
(d)



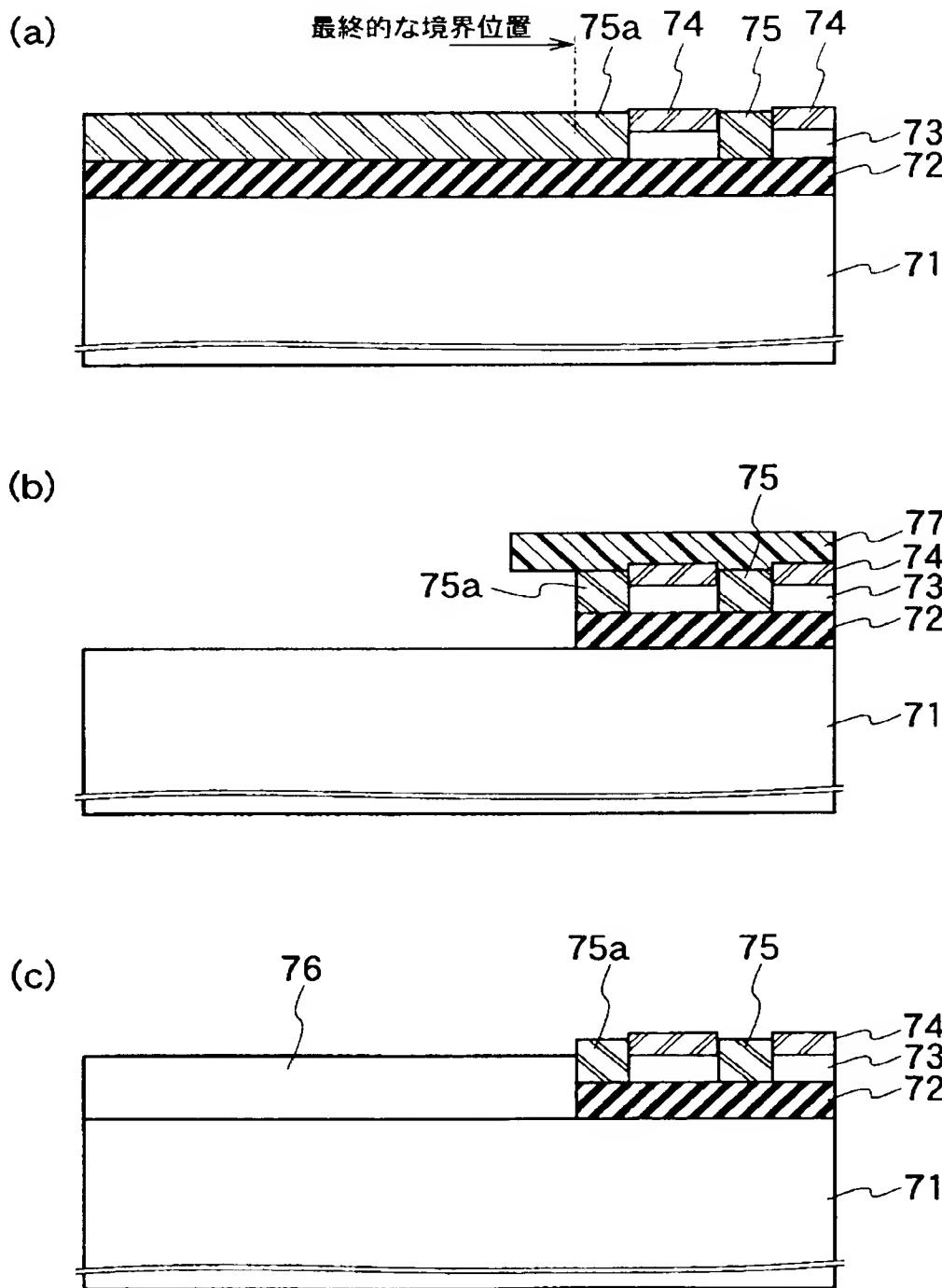
(e)



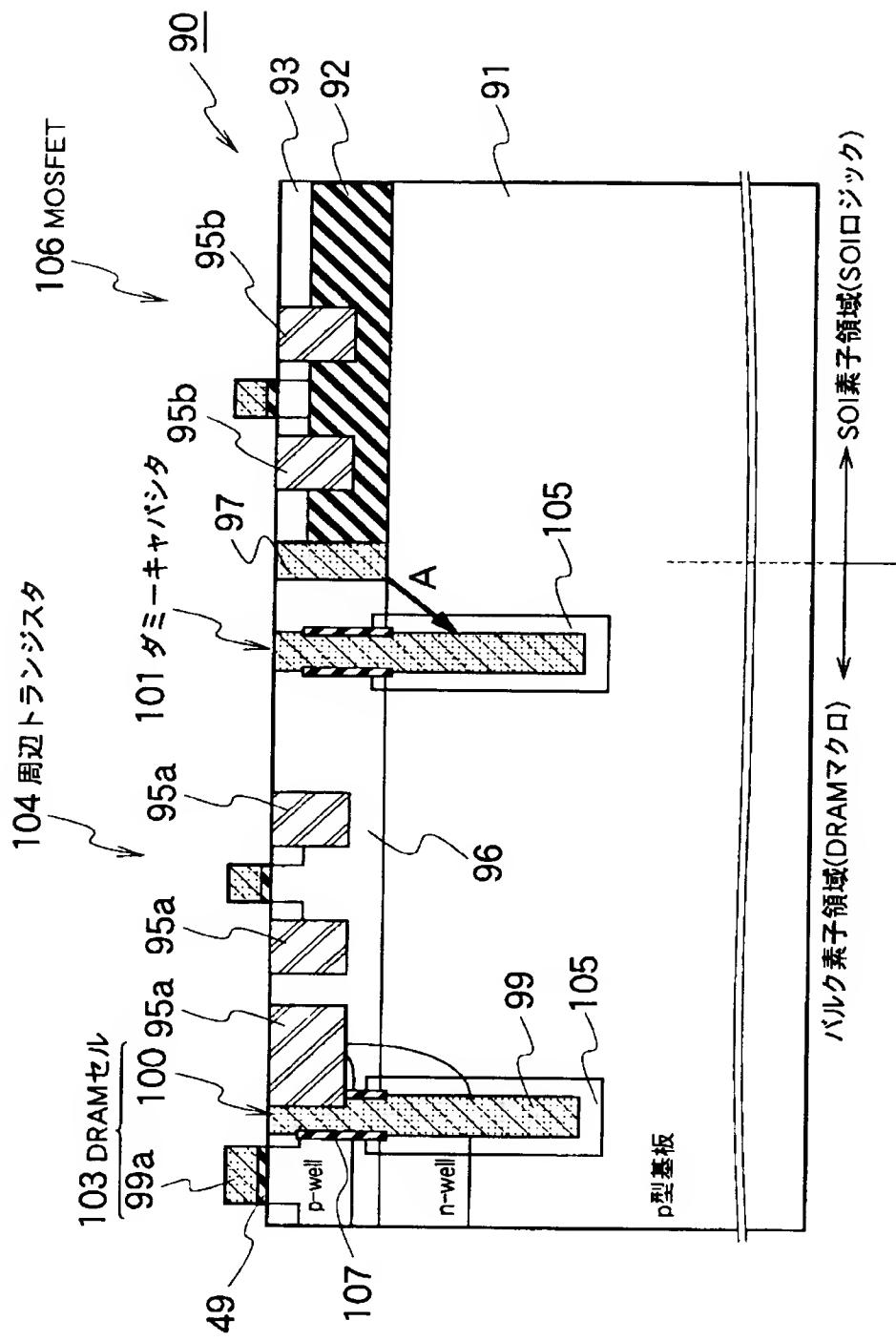
(f)



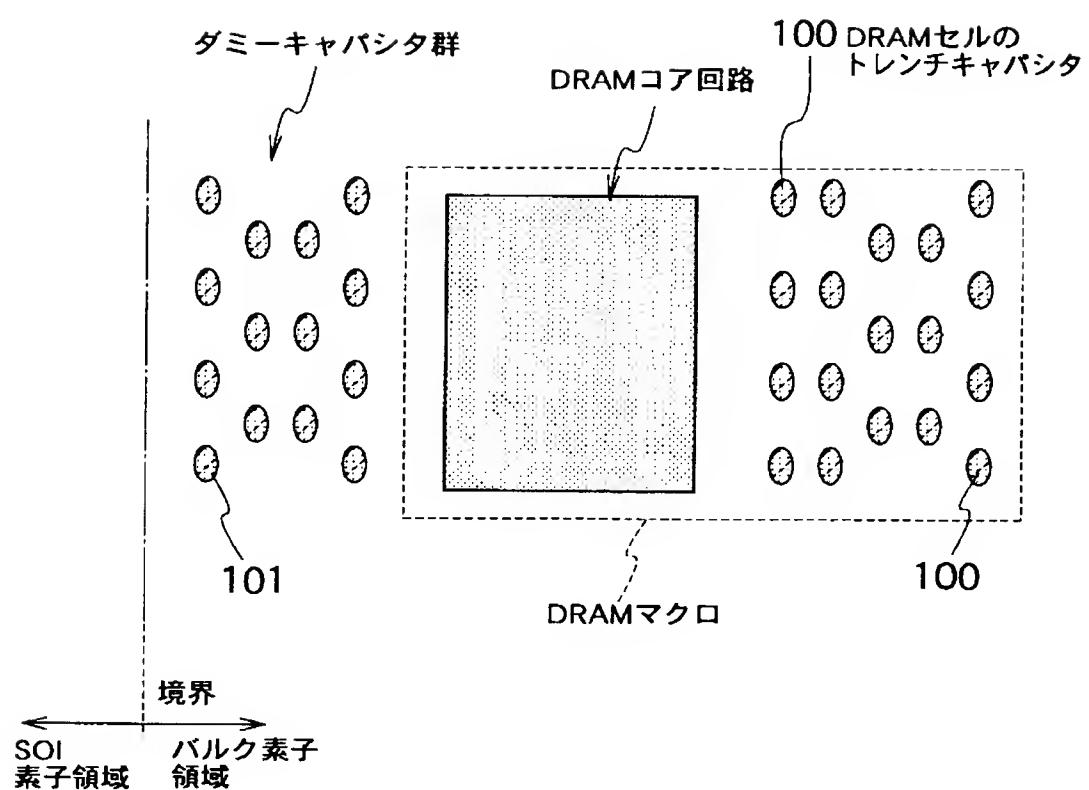
【図10】



【図11】

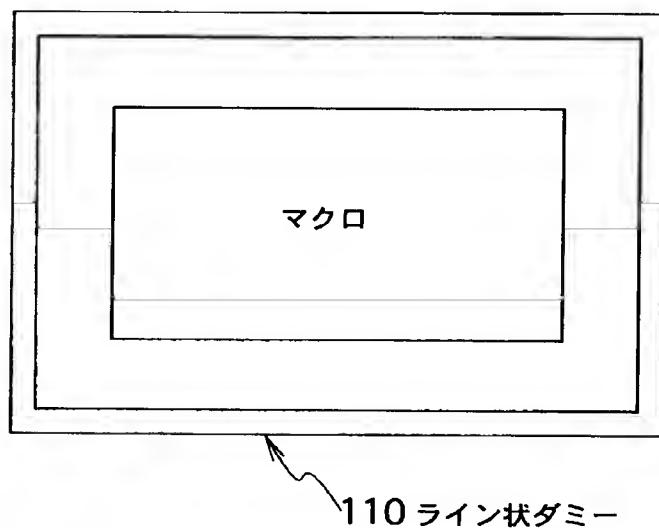


【図12】

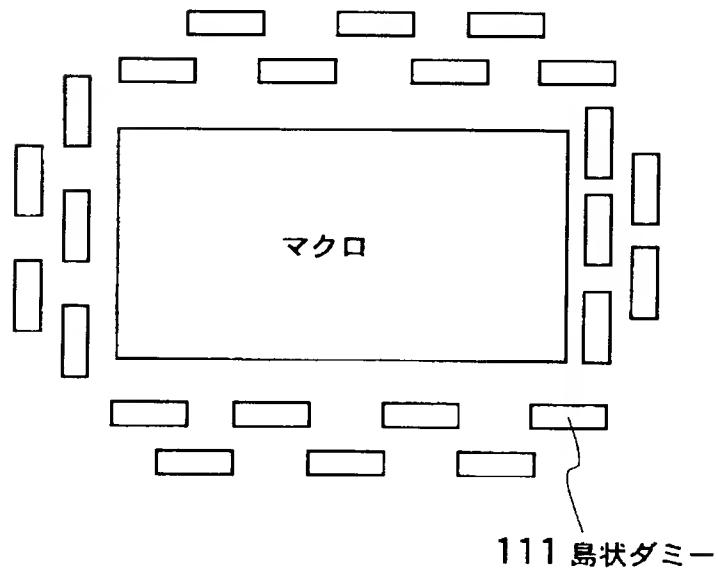


【図13】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 システムオンチップ型の半導体装置において、各機能ブロック領域の境界における応力を最小にし、素子形成面を均一し、チップ面積の増大を抑制して集積度を向上する。

【解決手段】 半導体装置は、支持基板と、支持基板上のバルク成長層に第1の素子が形成されるバルク素子領域と、支持基板上の埋め込み絶縁膜上のシリコン層に素子が形成されるS O I 素子領域と、これら領域の境界に位置する境界層を有する。バルク成長層に素子が形成されるバルク素子領域の素子形成面と、埋め込み絶縁膜上のシリコン層に素子が形成されるS O I 素子領域の素子形成面の高さはほぼ等しい。

【選択図】 図2

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝